



DIALOG(R)File 347:JAPIO  
(c) 1999 JPO & JAPIO. All rts. reserv.

02594859 \*\*Image available\*\*  
MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 63-211759 [JP 63211759 A]  
PUBLISHED: September 02, 1988 (19880902)  
INVENTOR(s): TANAKA HIROYUKI  
UCHIDA EIJI  
APPLICANT(s): OKI ELECTRIC IND CO LTD [000029] (A Japanese Company or  
Corporation), JP (Japan)  
APPL. NO.: 62-043114 [JP 8743114]  
FILED: February 27, 1987 (19870227)

## ABSTRACT

**PURPOSE:** To make it possible to form an MOS structure having an oxide film, whose breakdown strength is excellent, by forming the oxide film on a silicon substrate, thereafter performing annealing at high temperature for a short time, thereby eliminating the defects in the breakdown strength distribution of the oxide film having the MOS structure.

**CONSTITUTION:** An oxide film is formed to a thickness of 300 angstroms on an N-type silicon substrate by dry thermal oxidation at 950 deg.C. Thereafter, a substrate 12 is inserted into a quartz tube 11 of a halogen-lamp annealing apparatus. Then the temperature of the substrate 12 is increased to 1,100 deg.C at a temperature increasing rate of 200 deg.C/sec with light emitted from halogen lamps 13. Then the substrate 12 is annealed for 30 seconds with 1,100 deg.C being kept. Thereafter, the temperature is decreased to 400 deg.C at the temperature decreasing rate of 200 deg.C/sec. Said annealing step is carried out in a nitrogen atmosphere in the quartz tube 11. Then the substrate 12 is taken out of the annealing apparatus. A polycrystalline silicon layer including phosphorus is formed on the oxide film. Thereafter, a part other than the oxide film and the gate region of a the silicon layer are removed by photolithography. A gate electrode is formed by the remaining polycrystalline silicon layer.

TC 2000-1000

DIALOG(R)File 352:DERWENT WPI  
(c) 1999 Derwent Info Ltd. All rts. reserv.

007655446    \*\*Image available\*\*

WPI Acc No: 88-289378/198841

Mfg. semiconductor unit - by subjecting to high-temp. and rapid annealing  
after forming oxide film on silicon substrate NoAbstract Dwg 5/6

Patent Assignee: OKI ELECTRIC IND CO LTD (OKID )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 63211759 A		19880902	JP 8743114	A	19870227		198841 B

Priority Applications (No Type Date): JP 8743114 A 19870227

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 63211759 A			8			

Title Terms: MANUFACTURE; SEMICONDUCTOR; UNIT; SUBJECT; HIGH; TEMPERATURE;  
RAPID; ANNEAL; AFTER; FORMING; OXIDE; FILM; SILICON; SUBSTRATE;  
NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/31; H01L-029/78

File Segment: CPI; EPI

## ⑪ 公開特許公報(A)

昭63-211759

⑫ Int.Cl.

H 01 L 29/78  
21/316

識別記号

3 0 1

庁内整理番号

G-8422-5F  
6708-5F

⑬ 公開 昭和63年(1988)9月2日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭62-43114

⑯ 出 願 昭62(1987)2月27日

⑰ 発 明 者 田 中 宏 幸 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
 ⑱ 発 明 者 内 田 英 次 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
 ⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号  
 ⑳ 代 理 人 弁理士 菊 池 弘

## 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

(1) (a) シリコン基板上に薄い酸化膜を酸化処理により形成する工程と、

(b) その後、上記シリコン基板に対して高温・短時間のアニールを行う工程と、

(c) その後、前記酸化膜上にゲート電極を形成する工程とを具備してなる半導体装置の製造方法。

(2) 高温・短時間のアニールの温度を1000℃～1300℃とすることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(3) 高温・短時間のアニールの時間を10秒～600秒とすることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(4) 高温・短時間のアニールの雰囲気を不活性気体とすることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(5) 高温・短時間のアニールの雰囲気を酸素とす

ることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(6) 高温・短時間のアニールとして光照射による加熱方法を用いることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体装置、詳しくはMOS製造の製造方法に関するものである。

(従来の技術)

従来のMOS型半導体装置の製造方法を第5図に示す。第5図(a)において、1はシリコン基板であり、まず、この基板1の表面にLOCOSなどで選択的にフィールド酸化膜2を3000Å～10000Å形成する。次に、このフィールド酸化膜2で囲まれた前記基板1の露出表面に900℃～1100℃の熱酸化でゲート酸化膜3を100Å～500Å形成する。

次に、このゲート酸化膜3および前記フィールド酸化膜2上に、リンなどのドーパントを含んだ

多結晶シリコン層4を形成した後、ゲート酸化膜3および多結晶シリコン層4のゲート領域以外をホトリソグラフィによつて除去する。次に、シリコン基板1の露出表面に $\text{As}^+$ のイオン注入を行い、ソース・ドレイン層5を形成する。(第5図(b)参照)

次に、イオン注入後の結晶性回復のためのアニールを行い、全面にCVDなどで中間絶縁膜6を形成する。そして、その中間絶縁膜6にソース・ドレイン層5上で開口部7をホトリソグラフィにより形成する。その後、開口部7を通してソース・ドレイン層5に接続されるようにソース・ドレイン電極8を形成する。(第5図(d)参照)

(発明が解決しようとする問題点)

しかるに、上記従来のMOS型半導体装置の製造方法で明らかような従来のMOS構造の製造方法では、酸化膜の耐圧分布が良くないという欠点がある。すなわち、第6図は従来の方法により製造したMOS構造の耐圧分布を示し、このMOS構造は、シリコン基板に950℃のドライ熱酸化で

酸化膜を300Å形成した多結晶シリコンゲートのMOS構造である。其性耐圧は電界で10MV/cmと言われており、上記酸化膜厚において其性耐圧は30V近傍である。しかるに、第6図から分るように、従来の製造方法では其性耐圧以下の電圧で絶縁破壊が多数起つており、MOS型半導体装置の耐圧、信頼性に悪影響を及ぼすと考えられる。

この発明は、以上述べたMOS構造の酸化膜の耐圧分布が良くないという欠点を除去し、耐圧特性の優れた酸化膜を有するMOS構造を形成できる半導体装置の製造方法を提供することを目的とする。

(問題点を解決するための手段)

この発明は半導体装置、特にMOS構造の製造方法において、シリコン基板上に酸化膜を形成した後、高温・短時間のアニールを実施する。

(作用)

上記の方法においては、シリコン基板上に酸化膜を形成した後、高温・短時間のアニールを実施

することにより、酸化膜の耐圧分布が向上し、かつ界面単位が低減する。

(実施例)

以下この発明の実施例を説明する。まず、第1の実施例について述べる。

第1の実施例では、N型シリコン基板に950℃のドライ熱酸化で酸化膜を300Å形成した後、第1図で示すようなヘロゲンランプアニール装置の石英チューブ11内に前記シリコン基板12を挿入する。その後、前記装置のヘロゲンランプ13からの光照射により温度上昇比200℃/秒で1100℃までシリコン基板12の温度を上昇させる。次に、1100℃のまま30秒間、基板12のアニールを行う。その後、1100℃から温度下降比200℃/秒で400℃まで温度を下降させる。この一連のアニール工程を、石英チューブ11内に窒素ガスを流して窒素雰囲気中で行う。次に、ヘロゲンランプアニール装置からシリコン基板12を取出して該基板の酸化膜上にリンを含んだ多結晶シリコン層を形成した後、酸化膜および多結晶シリコン層の

ゲート領域以外をホトリソグラフィによつて除去し、残存多結晶シリコン層によつてゲート電極を形成する。

上記方法により作成したMOS構造の耐圧分布を第2図に示す。第6図に比べ其性耐圧以下の電圧での絶縁破壊が激減しており、耐圧分布が良くなっていることが分る。また、ミッド・ギャップでの界面単位は $2.8 \times 10^{12} \text{cm}^{-2}$ であり、従来技術により作成したMOS構造の界面単位 $4.8 \times 10^{12} \text{cm}^{-2}$ に比べ低い値を得た。

この発明の第2の実施例は、上記方法の一連のアニール工程をアルゴン雰囲気中で行い、他は同条件とした。この第2の実施例で作成したMOS構造の耐圧分布を第3図に示す。第6図に比べ耐圧分布が良くなっているのが分る。また、ミッド・ギャップでの界面単位は $3.6 \times 10^{12} \text{cm}^{-2}$ と、従来技術に比べ低い値を得た。このような効果は、アルゴンだけでなく、ヘリウムやキセノンなどの不活性ガス中におけるアニールでも同じであると期待できる。

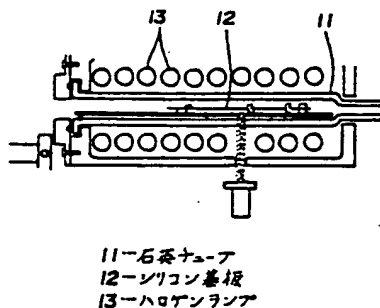
この発明の第3の実施例は、上記方法の一連のアニール工程を酸素雰囲気中で行い、他は同条件とした。この第3の実施例で作成したMOS構造の耐圧分布を第4図に示す。第6図に比べ耐圧分布が良くなっていることが分る。また、ミッド・ギャップでの界面単位は  $3.7 \times 10^{10} \text{ cm}^{-2}$  と従来技術に比べ低い値を得た。

また、以上述べた3つの実施例における一連のアニール工程の雰囲気に関わらず、アニール温度  $1000^\circ\text{C} \sim 1300^\circ\text{C}$ 、アニール時間10秒～600秒においても、従来技術に比べ耐圧分布が良くなっており、またミッド・ギャップでの界面単位は低い値を得た。

#### (発明の効果)

以上詳述したように、この発明の方法によれば、MOS構造の製造方法において、シリコン基板上に酸化膜を形成した後、高温・短時間のアニールを実施するようにしたので、良好な耐圧分布と界面単位の低減が期待できる。

#### 4. 図面の簡単な説明

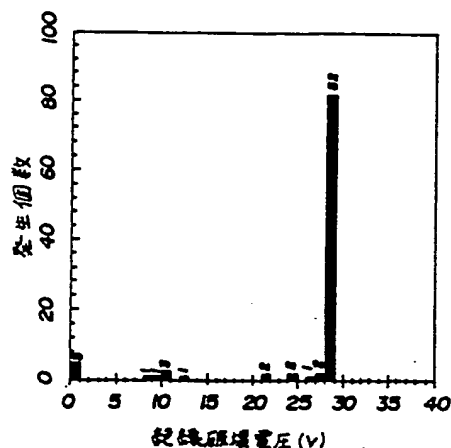


本発明に用いたランプアニール装置  
第1図

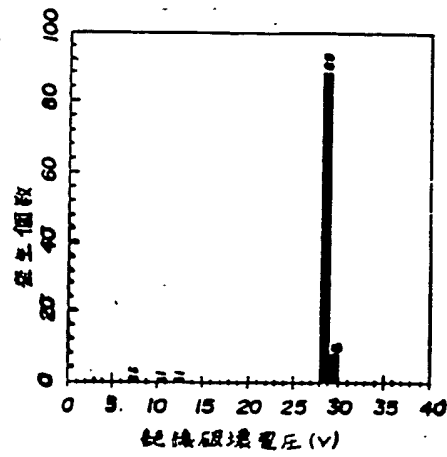
第1図はこの発明の半導体装置の製造方法に使用されるヘロゲンランプアニール装置を示す断面図、第2図はこの発明の第1の実施例による耐圧分布を示す特性図、第3図はこの発明の第2の実施例による耐圧分布を示す特性図、第4図はこの発明の第3の実施例による耐圧分布を示す特性図、第5図は従来のMOS型半導体装置の製造方法を示す工程断面図、第6図は従来技術による耐圧分布を示す特性図である。

11—石英チューブ、12—シリコン基板、  
13—ヘロゲンランプ。

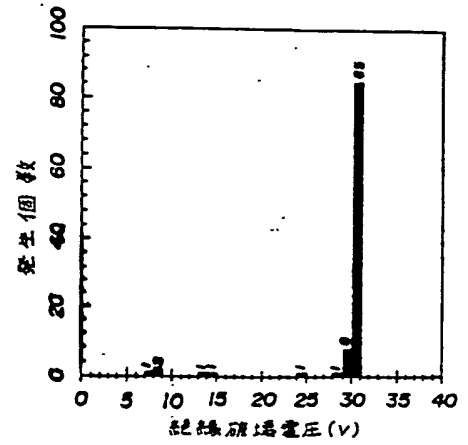
特許出願人 沖電気工業株式会社  
代理人 弁理士 菊池 弘



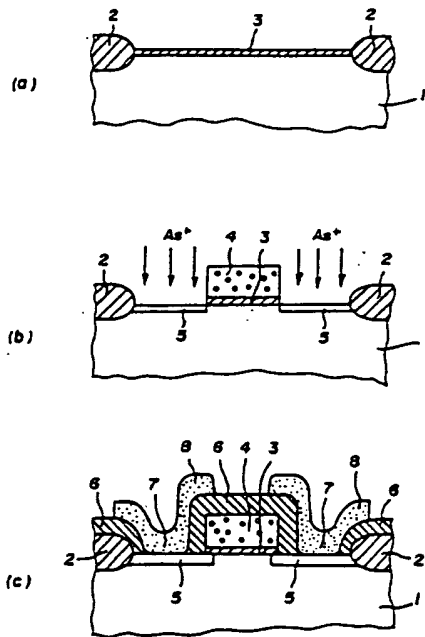
本発明第1実施例による耐圧分布  
第2図



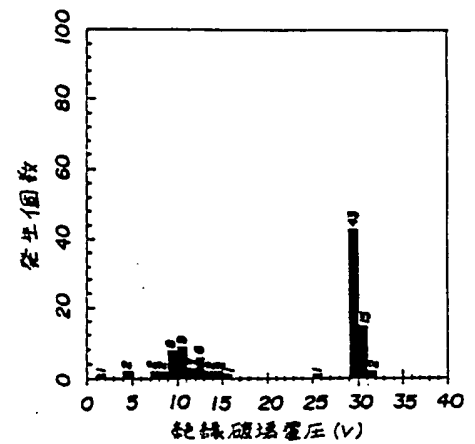
本発明第2実施例の絶縁圧分布  
第3図



本発明第3実施例の絶縁圧分布  
第4図



従来のMOS型半導体装置の製造  
第5図



従来技術の絶縁圧分布  
第6図